

# 잇다반도체

www.itdasemi.com

CI / Logo



슬로건

Provide the Most Efficient Way of SOC System Design

## 기업 개요

설립일	2022.09.14
대표자명	전호연
고용	10
업종/업태	비메모리용 및 기타 전자집적회로 제조업
주요기술 분야	시스템 반도체 설계
메인 아이템	Power/Clock Canvas

## 주요 구성원

전호연	대표이사 카이스트 MBA 석사 삼성전자 16년
김아찬	CTO 카이스트 전자공학 석사 삼성전자 10년
김인규	CPO 성균관대학교 반도체공학 학사 삼성전자 8년

## 주소

본사  
경기도 화성시 동탄역로 160, 지하 3층 103호 (오산동, 동탄역 롯데캐슬)  
해외 지사  
-

## 기업 소개 및 비전

AI 기술의 가속은 칩 복잡도와 파워 소모를 극적으로 증가시키고 있습니다. 잇다반도체는 글로벌 빅테크 반도체 설계 경험을 바탕으로 새로운 SOC 시스템 설계 방법론을 제시합니다. 잇다반도체가 개발한 'Power/Clock Canvas'는 확장성 있는 하드웨어 구조와 직관적인 소프트웨어를 통해 빠르고 정확한 SOC 설계를 지원합니다.

## 매출

국내(원/천원)		해외(달러/\$)	
2022	2023	2022	2023
- 천원	150,000 천원	- \$	- \$

## 주요 거래처

	(주)BOS반도체
--	-----------

## 투자유치 이력

일자	투자자	투자단계	금액(원/천원)
2023.07.26	블루포인트 파트너스 포스텍 홀딩스 케이오씨파트너스	Seed	600,000천원
2024.05.04.	엘엔에스벤처캐피탈 위벤처스	pre-A	3,000,000천원

## Business Strategy

(비즈니스 모델) 반도체 IP 라이선스 비즈니스 모델은 라이선스 비용, 유지보수 비용, 로열티로 구성됨. 이는 반도체 기획부터 양산까지 반도체 개발 프로세스에 end-to-end로 지속적인 현금흐름이 발생하는 안정적인 비즈니스 모델임

(사업 추진 현황) 2023년 6월 (주)bos반도체와 첫 IP계약을 완료하였으며, 현재 국내 주요 대기업과 업무 협의 진행 중

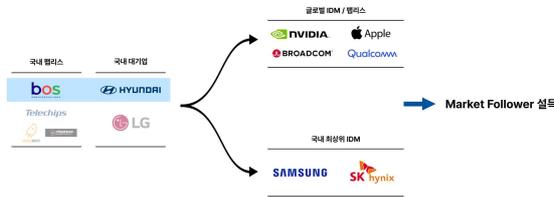
(국내 사업 전략) 국내 IDM, 디자인하우스, 팹리스 스타트업 등 반도체 산업 가치사슬을 구성하는 주요 기업의 실무자, 임원진과 미팅 완료. 현재 창업팀의 네트워크를 기반으로 한 인바운드 영업을 통해 초기 레퍼런스 확보 진행 중

(해외 확장 전략) 국내 대기업 레퍼런스를 바탕으로 북미권/대만의 팹리스, 디자인하우스를 타겟하여 사업 확장 예정

## Images



잇다반도체 비즈니스 모델



잇다반도체 사업 확대 Roadmap

## 지식재산권 & 수상내역

2024.02	시스템 온 칩 및 멀티 칩 전력 관리 시스템 (10-2643030-0000)	2023.01.	카이스트 창업 어워드 대상 수상
2024.02	프로그램 가능 시퀀서와 이를 이용한 시스템 온 칩 장치 (10-2643031-0000)		
2024.02	전력 제어 시스템 및 이를 포함한 시스템 온 칩 장치 (10-2643032-0000)		

# Technology

## 핵심 기술

**(제품 개요)** Power/Clock Canvas는 SOC(System On Chip)의 power와 clock 시스템을 하드웨어 레벨에서 GUI(Graphical User Interface)를 통해 설계할 수 있게 하는 시스템 IP 개념의 제품임.

**(Software Architecture)** Power/Clock Canvas는 power/clock system 컴포넌트들을 정형화시키고, 이를 소프트웨어로 구조화하여 기존 몇천, 몇만 줄 단위의 복잡한 RTL 코드를 추상화된 웹기반 GUI로 디자인할 수 있음. GUI로 설계된 디자인을 통해 SDC, UPF 등의 산출물을 생성하는 데에는 10분이 채 소요되지 않음.

**(Domain dedicated Controller)** 이타의 power/clock controller는 개별 도메인을 PMR, PMD 레벨에서 제어함으로써 세밀한 제어가 가능함. 또한 도메인 별 제어 방식을 정형화하여 하드웨어 embedded software 복잡도 또한 낮아짐.

## 기술개발 진척도

**(Canvas 제품 개발)** Power/clock canvas 제품 개발은 95% 이상 완료되었으며, 24년 4분기까지 제품화 완료 예정. Power/clock 시스템 외 DFT, BUS 등 타 SOC 시스템 canvas 제품 기획 및 개발 진행 중.

**(Background 기술 개발)** Integrator, Generator 개발완료. Verilog parser 개발 진행 중

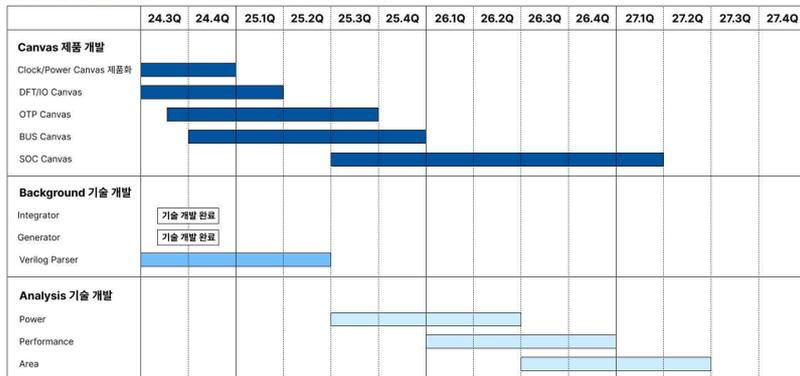
**(Analysis 기술 개발)** 반도체 주요 성능 지표인 Power, Performance, Area 분석 기술 개발 예정

**(상용화 여부)** Power/Clock 시제품 개발 완료. 실 고객사 프로젝트 도입 및 테스트 칩 제작 중에 있음

**(지식재산권)** 국내 특허 및 PCT 10개 출원, 3개 등록 완료. 해외 진출 국가에 대해서 해외 특허 준비 예정

**(인증)** 2026년 (자동차 기능 안정성 국제 표준) 제품 인증 및 프로세스 인증 완료 목표

## ITDA 이타반도체 기술 개발 Roadmap



## 차별성 및 혁신성

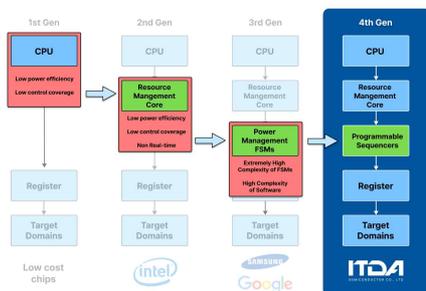
**(파워 소모 감소)** power/clock canvas는 소프트웨어가 아닌 하드웨어 레벨에서 power gating을 통해 파워를 제어하기 때문에 idle 구간에서의 파워 소모를 80~90%까지 낮출 수 있음.

**(확장성 있고 유연한 하드웨어 아키텍처)** power/clock 컨트롤러를 정형화시켜 큰 칩도 쉽게 설계 가능하며, power controller 내 sequence를 바이너리로 구성하여 파워 에러를 쉽게 수정할 수 있음

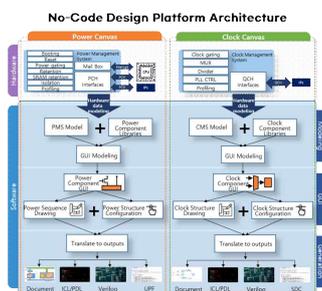
**(데이터를 통한 협업)** SOC를 설계하는 모든 엔지니어가 Canvas를 통해 하나의 디자인으로 소통할 수 있게 함으로써 칩 디자인 일관성을 높이고 기존의 복잡한 소통 프로세스를 단순화시켜 오작동 리스크와 설계 비용을 동시에 감소시킬 수 있음

**(쉽고 빠른 디자인)** 고객은 GUI를 통해 추상적인 하드웨어 모델만 설계하면, 제품 내 미리 구성되어 있는 하드웨어 모델과 소프트웨어 framework를 통해 자동으로 산출물을 생성하여 기존에 매우 복잡했던 power/clock system design flow를 단순화시킴

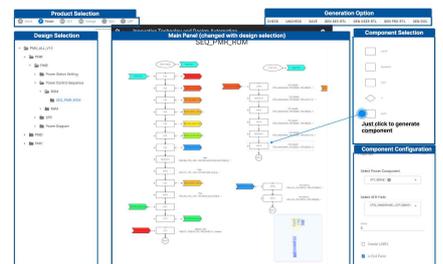
## Images



파워 제어 시스템의 세대별 변화 과정



No-Code Design Platform Architecture



실제 제품 화면