

CI / Logo



슬로건(200자 이내)

최고의 반도체 설계 회사를 목표로!

기업 개요

설립일	2021.1.15
대표자명	고재간
고용	36명
업종/업태	전자부품, 컴퓨터영상음향및통신장비/제조업
주요기술 분야	고속 인터페이스 회로 설계
메인 아이템	MIPI D-/C-PHY, HDMI PHY, USB-DP PHY

주요 구성원(3인)

고재간	대표이사 전) ㈜티엘아이 연구소장
이봉준	최고기술이사 전) ㈜하이빅스 연구소장
한재덕	사외이사 현) 한양대학교 조교수

주소

본사
경기도 성남시 수정구 창업로 43, B동 506호 (판교글로벌비즈센터)
해외 지사

기업 소개 및 비전(200자 이내)

램칩은 고속 인터페이스 IP/IC에 특화된 전문성을 갖고 있는 반도체 설계 기업입니다. 우리는 선을 타고 흐르는 데이터의 이동이 보다 빠르게, 보다 멀리, 보다 안정적으로 가능하도록 하는 회로 기술을 개발하고 있습니다. 램칩은 경쟁력 있는 IP/IC를 공급하기 위해 최첨단의 아날로그 회로 설계 기법, 신뢰할 수 있는 디지털 로직 구현, 신호 처리 알고리즘과 소프트웨어적 접근을 포함하는 폭넓은 연구 활동을 수행합니다.

매출

국내(원/천원)		해외(달러/\$)	
2022	2023	2022	2023
549,000 천원	1,827,000 천원	\$	\$

주요 거래처(4개 제한)

비공개	
-----	--

투자유치 이력(최근 5개 제한)

일자	투자자	투자단계	금액(원/천원)
2023.6	신용보증기금 외	Series A	비공개 천원
2022.2	비공개	Seed	비공개 천원

Business Strategy(500자 이내)

- 반도체 설계 IP 라이선싱: 삼성파운드리 IP 협력사로서 국내외 팹리스 기업에게 MIPI D-/C-PHY를 비롯한 고속 인터페이스 IP를 라이선싱 형태로 공급 중이며, 차량용 고속 인터페이스 신규 국제 표준인 MIPI A-PHY, 차세대 칩렛 인터페이스인 UCle 등을 개발 진행하고 있음.
- 고속 인터페이스 IC: MIPI A-PHY를 채용한 Bridge IC를 개발하여 2025년에 시장에 공급하는 것을 목표로 하며, ASA MotionLink 등 기타 표준을 지원하는 IC를 향후 개발 로드맵에 포함하고 있음.

Images (사업추진 관련 사진)



Series-A 투자 유치



본사 확장 이전

지식재산권 & 수상내역(각3개 제한)

2023	송수신 회로 관련 특허 2건 등록, 국내 특허 2건 출원	-	-
2024	송수신 회로 관련 국내 특허 3건 출원, 해외 특허 2건 출원		

Technology

고속 인터페이스 회로 설계 기술

고속 인터페이스 기술은 고성능 컴퓨팅(PCIe, UCIe 등), 모바일(MIPI D-PHY, C-PHY), 디스플레이(HDMI, DisplayPort, Vx1), 오토모티브(MIPI A-PHY, ASA MotionLink) 등 데이터 전송이 필요한 모든 응용 분야에서 다양한 형태로 사용되고 있으며, 주요 반도체 IC의 핵심 기능 블록으로 설계 복잡도와 난이도가 높아 전문 설계 인력이 필요함.

인터페이스 회로 설계 전문 인력으로 구성된 랩셋은 신규 IP의 개발과 기존 IP의 성능 개선 및 공정 이식을 통해 FinFET으로 대표되는 여러 미세 공정 노드에서 IP 포트폴리오를 확장해 나가고 있음.

고속 인터페이스 IP/IC 상용화 및 개발 단계

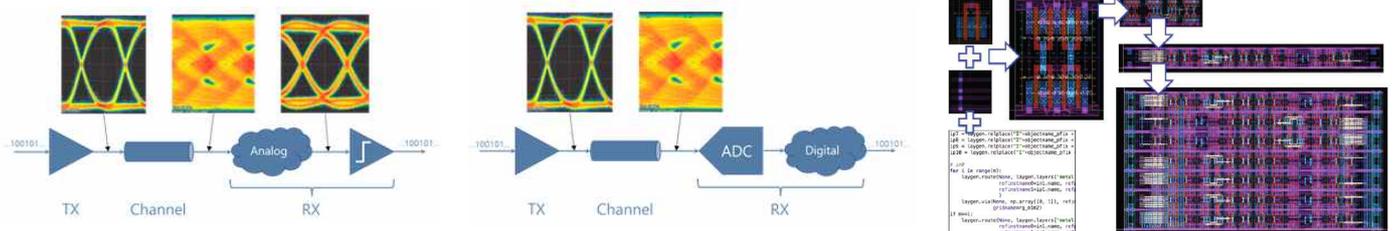
- IP 상용화 실적: MIPI D-/C-PHY, HDMI PHY, USB-DP PHY, HSSTP PHY 등의 반도체 설계 IP들을 국내외 팹리스 업체와 라이선싱 계약을 체결하여 시장에 공급하고 있으며, 기존 고객 재구매 및 신규 고객 유치를 통해 지속적인 매출 성장을 달성하고 있음.
- 개발 중인 IP
 - MIPI A-PHY: 자율 주행 및 지능형 운전자 보조 시스템(ADAS)의 확대 적용으로 성장성이 예상되는 차량용 인터페이스 표준을 개발 중에 있으며, 2024년내 IP 검증 완료, 2025년에 공정 이식을 통한 확대 전개를 목표로 하고 있음.
 - HPC용 IP: 최근 각광받고 있는 이중 접합 형태의 IC에 필요한 칩렛 인터페이스인 UCIe를 개발 중이며, 2025년 출시 예정임.
- 개발 중인 IC: MIPI A-PHY IP와 MIPI D-/C-PHY IP를 결합하여 신호를 표준에 맞춰 변환하는 IC를 개발 중임.



고성능 ADC를 기반으로 하는 SERDES 기술과 진보된 아날로그 회로 설계 흐름 구축

- ADC-based SERDES
아날로그 회로 기반의 전통적인 고속 인터페이스 회로 구조로부터 벗어나, 고성능 ADC를 통해 왜곡된 전송 신호를 디지털 신호 처리를 통해 복원하는 ADC 기반의 SERDES 구조를 개발하고 있으며, 이를 통해 최신 표준의 높은 요구 사양을 만족하고, 미세 공정의 높은 집적도를 이용하여 성능 및 면적 경쟁력을 확보함.
- Advanced Analog Design Flow
Full-custom 방식의 Layout을 수반하는 아날로그 설계 흐름에서 공정 이식이 용이한 아날로그 레이아웃 생성 기술을 도입, 효율적인 설계 흐름을 구축함으로써 생산성 향상과 이를 통한 최적화를 통해 회로 경쟁력을 확보함.

Images (기술관련 사진)



아날로그 회로 기반 수신단

ADC 기반 수신회로

아날로그 레이아웃 생성기술